

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-286780

⑪ Int. Cl.<sup>4</sup>  
G 01 R 31/28

識別記号

庁内整理番号  
A-6912-2G

⑬ 公開 昭和63年(1988)11月24日

審査請求 未請求 発明の数 2 (全3頁)

⑭ 発明の名称 故障検出方式および故障検出装置

⑮ 特 願 昭62-121291

⑯ 出 願 昭62(1987)5月20日

⑰ 発 明 者 岩 崎 一 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 荒 川 文 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 三 科 大 介 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

故障検出方式および故障検出装置

## 2. 特許請求の範囲

## 1. mビットの多入力掃選形シフトレジスタ

(MISR)によって、検査出力パターンをシグナチャとして圧縮する論理回路の故障検出方式において、 $n$  ( $n > m$ ) ビット巾の検査出力を、排他的論理和回路網によってmビット巾に圧縮し、その後、前記mビットのMISRへ入力することを特徴とする故障検出方式。

## 2. mビットの多入力掃選形シフトレジスタ

(MISR)によって、検査出力パターンをシグナチャとして圧縮する論理回路の故障検出装置において、 $n$  ( $n > m$ ) ビット巾の検査出力を、排他的論理和回路網によってmビット巾に圧縮し、その後、前記mビットのMISRへ入力することを特徴とする故障検出装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、論理回路の故障検出方式および装置に係り、特にLSI (Large Scale Integrated circuit) の自己検査に好適な故障検出方式および装置に関する。

〔従来の技術〕

LSIの検査法の1つとして、従来からシグナチャ解析法がおこなわれていた。シグナチャ解析では、mビット巾の検査出力を、mビットの多入力掃選形シフトレジスタ(MISR)で時間軸方向に圧縮していた。従来のMISRの例として、特願昭59-233153号 特願昭62-42555号を挙げることができる。

〔発明が解決しようとする問題点〕

上記従来技術は、検査出力パターンのビット巾 $n$ が、 $n > m$ のとき、複数回に分けてMISRへ入力しなければならず、検査時間が増大するという問題があった。

本発明の目的は、(1)検査時間を短縮すること、(2)ハードウェアを減少させること、にある。

〔問題点を解決するための手段〕

## 特開昭63-286780(2)

上記目的は、 $n$ ビット巾の検査出力パターンを排他的論理和回路網によって $m$ ビットに圧縮し、その後、 $m$ ビットのMISRへ入力することにより、達成される。

〔作用〕

上記排他的論理和回路網は、検査出力パターンをビット巾方向に圧縮するものであり、MISRは時間軸方向に圧縮するものである。

〔実施例〕

以下、本発明の一実施例を図面を用いて説明する。

第1図は本発明の一実施例を示すブロック図である。被検査回路1からは検査出力パターン、 $a_0(x), a_1(x), \dots, a_{15}(x)$ が出力される。ここ

$$a_i(x) = a_{i,0} + a_{i,1}x + a_{i,2}x^2 + \dots + a_{i,d-1}x^{d-1}$$

であり、 $a_{i,d}, a_{i,d+1}, \dots, a_{i,15}$ の順に、ビット巾圧縮回路へ入力される。ビット巾圧縮回路は、排他的論理和回路で構成され $n$ ビット巾の入力を

この符号の最小距離は3であり、2重までの誤りを検出することができる。この符号に基づく、圧縮回路の例を第2図に示す。15ビットの入力を、 $a_{0,0}, a_{1,0}, a_{2,0}, a_{3,0}, a_{4,0}, a_{5,0}, a_{6,0}, a_{7,0}, a_{8,0}, a_{9,0}, a_{10,0}, a_{11,0}, a_{12,0}, a_{13,0}, a_{14,0}$ とし、5ビットの出力を $r_0, r_1, r_2, r_3, r_4$ とする。次式が成り立つ。

$$r_0 = a_{0,0} \oplus a_{1,1} \oplus a_{2,2} \oplus a_{3,3} \oplus a_{4,4}$$

$$r_1 = a_{0,1} \oplus a_{1,0} \oplus a_{2,1} \oplus a_{3,0} \oplus a_{4,1}$$

$$r_2 = a_{1,1} \oplus a_{4,1} \oplus a_{7,1} \oplus a_{8,1} \oplus a_{11,1}$$

$$r_3 = a_{2,1} \oplus a_{6,1} \oplus a_{7,1} \oplus a_{9,1} \oplus a_{13,1}$$

$$r_4 = a_{3,1} \oplus a_{6,1} \oplus a_{8,1} \oplus a_{9,1} \oplus a_{14,1}$$

この回路は、上記パリティ検査行列をもつ修正ハミング符号のシンδροーム計算回路として知られているものである。

上記符号は2重誤りまでを検出できるため、 $a_{0,1} \sim a_{14,1}$ までに2ビットの故障があっても検出可能である。

また、 $(r_0, r_1, r_2, r_3, r_4)$ を

$m$ ビット巾へ圧縮する。すなわち、 $a_{0,1}, a_{1,1}, \dots, a_{14,1}$ を入力し、 $r_0, r_1, \dots, r_{m-1}$ を出力する。 $r_0, r_1, \dots, r_{m-1}$ は、GF(2<sup>m</sup>)上のシンボル $r_i$ とみなすこともできる。よって、ビット巾圧縮回路の出力は次式で表わすことができる。

$$R(x) = r_0 + r_1x + r_2x^2 + \dots + r_{m-1}x^{m-1}$$

MISRは、 $R(x)$ を入力し、シグナチャを生成する。

排他的論理和回路網の一例として、15ビット巾の検査出力パターンを5ビットに圧縮する例を示す。このために符号長15、情報点数10のハミング符号を用いている。この符号のパリティ検査行列Hを以下に示す。

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

GF(2<sup>5</sup>)上のシンボル $r_i$ とみなすことも可能である。特開昭62-42555号で示したようなシグナチャ回路を用いれば、 $r_0, r_1, r_2$ に含まれるシンボル誤りを検出可能である。 $\alpha$ をGF(2<sup>5</sup>)上の原始元としたとき、 $(x - \alpha^{-1})$ および $(x - \alpha)$ 除算回路によるシグナチャレジスタを構成した場合、2シンボルまでの故障検出が可能である。

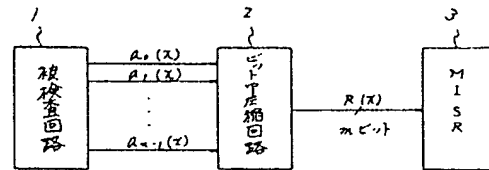
つまり、第2図で示す圧縮回路と、特開昭62-42555号で構成法を示した、 $(x - \alpha^{-1})$ 、 $(x - \alpha)$ 除算回路を用いると、検査出力パターン $(a_{i,1})$ に含まれる、2重誤りをすべて検出できる。

検査入力パターンのビット巾が15ビットの時、従来の方法であると、15ビットのMISRを用いるか、例えば5ビットのMISRへ3回に分けて入力するか、であった。前者は、多量のハードウェアを必要とし、後者はテスト時間の増大につながっていた。

ここで示した例では、5入力排他的論理和ゲー

特開昭63-286780(3)

第1図



トが5個必要であるが、5ビットのMISRで済んでおり、テスト時間が増大することもない。

別の例として、ビット圧縮用排他的論理和回路として修正ハミング符号のバリティ検査行列を用い、MISRとして、 $(x-\alpha^{-1})(x-\alpha^0)(x-\alpha)$  除算回路を用いれば、検査出力パターンの3重繰り返しをすべて検出できる。

一般に、ビット圧縮用排他的論理和回路として、最小重みdの符号に基づくバリティ検査行列を用い、MISRとして、 $(x-\alpha^0)(x-\alpha^1)\dots(x-\alpha^{d-1})$  除算回路を用いると、検査出力パターンの(d-1)重繰り返しをすべて検出できる。

〔発明の効果〕

本発明によれば、故障検出率を落すことなく高速な故障判定ができる。

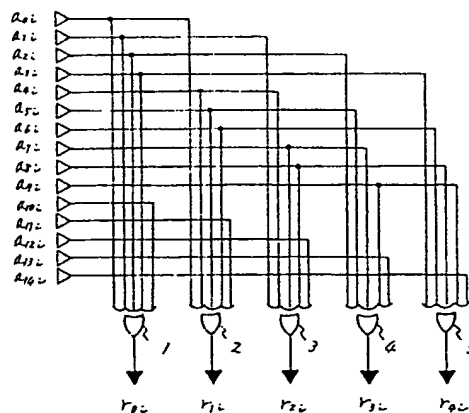
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、

第2図はビット圧縮回路の一例を示す。

代理人 弁理士 小川 勝 男

第2図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-286780

(43)Date of publication of application : 24.11.1988

(51)Int.Cl.

G01R 31/28

(21)Application number : 62-121291

(71)Applicant : HITACHI LTD  
HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 20.05.1987

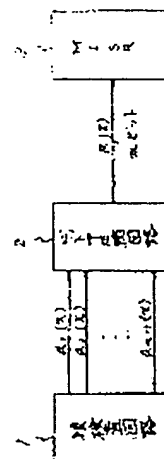
(72)Inventor : IWASAKI KAZUHIKO  
ARAKAWA FUMIO  
MISHINA DAISUKE

## (54) FAULT DETECTING SYSTEM AND FAULT DETECTING DEVICE

## (57)Abstract:

PURPOSE: To shorten the inspection time, and also, to decrease the hardware by compressing an inspection output pattern of (n) bit width to (m) bits by an exclusive OR network, and thereafter, inputting it to a multi-input feed-back type shift register (MISR).

CONSTITUTION: A fault of a logic circuit for compressing an inspection output pattern as a signature is detected by an MISR 3 of (m) bits. That is, an inspection output pattern of (n) ( $n > m$ ) bit width from a circuit to be inspected 1 such as an LSI, etc. is compressed to (m) bit width by a bit width compressing circuit 2 constituted of an exclusive OR network, and thereafter, inputted to the MISR 3 of (m) bit width. In such a way, a fault can be decided at a high speed without dropping the fault detection rate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## Partial Translation of JP63-286780

### [Prior Art]

Signature analysis has been used in the past as an LSI testing method. In signature analysis, an m-bit test output is temporally compressed by an m-bit multiple input shift register (MISR). JP59-233153 and JP62-42555 can be cited as examples of conventional MISRs.

### [Problem to be solved by the invention]

A problem in conventional technology is that when the test output pattern is n-bit, with  $n > m$ , the pattern must be divided and input in multiple stages into the MISR, causing test time to increase. The goals of the present invention are 1) to reduce test time and 2) to decrease the amount of [testing] hardware.

### [Means for solving the problem]

The above-stated goal is reached by compressing an n-bit test output pattern to m bits by means of a XOR circuit network, and then inputting it into an m-bit MISR.

### [Effect of the invention]

The above-mentioned XOR circuit network spatially compresses the test output pattern and the MISR temporally compresses it.

### [Preferred Embodiments]

Below, a preferred embodiment of the present invention is explained with diagrams.

Fig 1 is a block diagram showing a preferred embodiment of the present invention.

The test output pattern  $\alpha_0(x), \alpha_1(x), \dots, \alpha_{n-1}(x)$  is output from CUT 1. Here,

$$\alpha_i(x) = \alpha_{i0} + \alpha_{i1}x^1 + \alpha_{i2}x^2 + \dots + \alpha_{in-1}x^{n-1},$$

which is input to the bit compression circuit in this order:  $\alpha_{1??}, \alpha_{1??} \dots \alpha_{10}^*$ . The bit

compression circuit, made up of XOR circuits, inputs n-bits and compresses them to m bits. In other words,  $\alpha_{01}, \alpha_{11}, \dots, \alpha_{n-1,1}$  is input and  $r_{01}, r_{11}, \dots, r_{m-1,1}$  is output.

$r_{01}, r_{11}, \dots, r_{m-1,1}$  can also be seen as a symbol in [Galois Field]  $GF(2^m)$ . As such, the output of the bit compression circuit can be expressed by the following:

$$R(x) = r_0 + r_1x^1 + r_2x^2 + \dots + r_{m-1}x^{m-1}$$

The MISR then inputs R(x) and generates a signature.

As an example of a XOR circuit network, an example will be explained of compression to 5 bits of a 15-bit test output pattern. For this purpose, a Hamming code is used of code length 15 and data length 10. The parity check matrix H for this code is shown below:

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

The minimum distance of this code is 3, so it can detect up to 2-bit errors. An example of a compression circuit based on this code is shown in Fig 2. The 15-bit input

---

\* Illegible indexes in the scanned Japanese original are replaced with question marks “?”

is  $\alpha_{01}, \alpha_{11}, \alpha_{21}, \alpha_{31}, \alpha_{41}, \alpha_{51}, \alpha_{61}, \alpha_{71}, \alpha_{81}, \alpha_{91}, \alpha_{10,1}, \alpha_{11,1}, \alpha_{12,1}, \alpha_{13,1}, \alpha_{14,1}$ , and the 5-bit

output is  $r_{01}, r_{11}, r_{21}, r_{31}, r_{41}$ . The following expressions hold:

$$\begin{aligned} r_{01} &= \alpha_{01} \oplus \alpha_{11} \oplus \alpha_{21} \oplus \alpha_{31} \oplus \alpha_{41} \\ r_{11} &= \alpha_{01} \oplus \alpha_{41} \oplus \alpha_{51} \oplus \alpha_{61} \oplus \alpha_{11,1} \\ r_{21} &= \alpha_{11} \oplus \alpha_{41} \oplus \alpha_{71} \oplus \alpha_{81} \oplus \alpha_{12,1} * \\ r_{31} &= \alpha_{21} \oplus \alpha_{51} \oplus \alpha_{71} \oplus \alpha_{91?} \oplus \alpha_{13,1} \\ r_{41} &= \alpha_{31} \oplus \alpha_{51} \oplus \alpha_{81} \oplus \alpha_{91?} \oplus \alpha_{14,1} \end{aligned}$$

This circuit is known as the circuit for calculating the syndrome vector of the error-correcting Hamming code having the parity check matrix above.

Because the above-described code can detect errors of up to 2 bits, it can detect errors of up to 2 bits in  $\alpha_{01} \sim \alpha_{14,1}$ .

Further,  $(r_{01}, r_{11}, r_{21}, r_{31}, r_{41})$  can be seen as a symbol  $r_1$  in  $GF(2^5)$ . Using a signature circuit as shown in JP62-42555, errors can be detected in  $r_0, r_1, r_2^*$ . When  $\alpha$  is a primitive element in  $GF(2^5)$ , if the shift register is designed as an  $(x - \alpha^{-1})$  and  $(x - \alpha)$  division circuit, errors can be detected of up to 2 bits.

In short, by using the compression circuit shown in Fig 2 and the  $(x - \alpha^{-1})$ ,  $(x - \alpha)$  division circuit shown in the structural method of JP62-42555, all 2-bit errors contained in test output pattern  $(\alpha_{11})$  can be detected. For a 15-bit test input, the conventional method is either to use a 15-bit MISR, or to use for example a 5-bit MISR and split the data into three parts. The former method requires a lot of hardware and the latter increases the test time.

---

\* Illegible indexes in the scanned Japanese original are replaced with question marks “?”

In the example shown here, 5 5-input XOR gates are required, but the 5-bit MISR can be used as-is; also, test time does not increase.

As another example, using an error-correcting Hamming code parity check matrix as the bit compression XOR circuit, by using a  $(x - \alpha^{-1})(x - \alpha^0)(x - \alpha)$  division circuit as a MISR, all 3-bit errors in the test output pattern can be detected.

Generally speaking, using a parity check matrix based on a code with minimum distance  $d$ , as a bit compression XOR circuit, by using a  $(x - \alpha^0)(x - \alpha^1) \cdots (x - \alpha^{d-2})$  division circuit as a MISR, all  $(d-1)$ -bit test output patterns can be detected.

#### [Effect of the Invention]

By means of the present invention, rapid error detection can be carried out without lowering the error detection rate.

#### 4. Simple description of the Diagrams.

Fig 1 is a block diagram showing a preferred embodiment of the present invention, and Fig 2 shows an example of a bit compression circuit.



Fig. 1

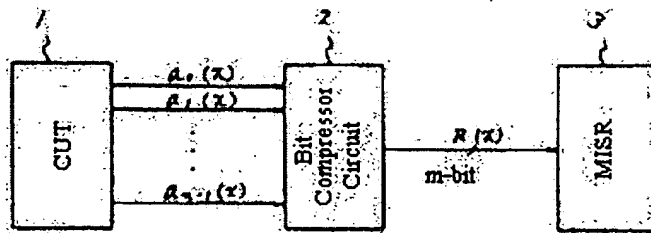


Fig. 2

